

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-143407

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

G11B 20/14  
G11B 7/004  
G11B 20/10  
G11B 20/18

(21)Application number : 2000-236573

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 04.08.2000

(72)Inventor : FUMA MASATO  
OKAMOTO SANEYUKI

(30)Priority

Priority number : 11248950

Priority date : 02.09.1999

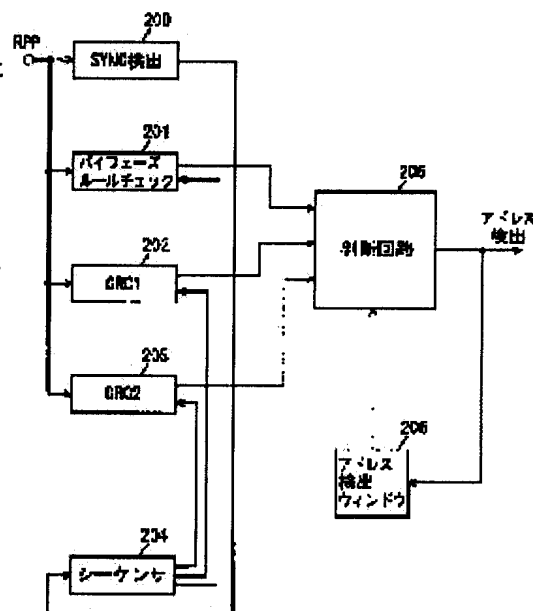
Priority country : JP

## (54) ADDRESS-DETECTING CIRCUIT AND RECORDING AND/OR REPRODUCING DEVICE EQUIPPED WITH THE ADDRESS-DETECTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an address-detecting circuit which can perform address detection at a high detection rate, even if the state of data is poor.

SOLUTION: According to the results of synchronous detection by a synchronous detecting circuit 200, a biphase rule checking by a biphase rule check circuit 201, and CRC error checks by a CRC1 circuit 202 and a CRC2 circuit 203, address detection is carried out under freely combined set conditions and according to the result of the error checks, an address value is selected and displayed.



## LEGAL STATUS

[Date of request for examination] 07.06.2002

[Date of sending the examiner's decision of rejection] 24.05.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-143407

(P2001-143407A)

(43) 公開日 平成13年 5 月25日 (2001. 5. 25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 1 1 B 20/14	3 5 1	G 1 1 B 20/14	3 5 1 Z 5 D 0 4 4
7/004		7/004	Z 5 D 0 9 0
20/10	3 2 1	20/10	3 2 1 Z
20/18	5 2 2	20/18	5 2 2 D
	5 5 0		5 5 0 Z

審査請求 未請求 請求項の数20 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2000-236573(P2000-236573)

(22) 出願日 平成12年 8 月 4 日 (2000. 8. 4)

(31) 優先権主張番号 特願平11-248950

(32) 優先日 平成11年 9 月 2 日 (1999. 9. 2)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 夫馬 正人

大阪府守口市京阪本通 2 丁目 5 番 5 号 三  
洋電機株式会社内

(72) 発明者 岡本 実幸

大阪府守口市京阪本通 2 丁目 5 番 5 号 三  
洋電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外 3 名)

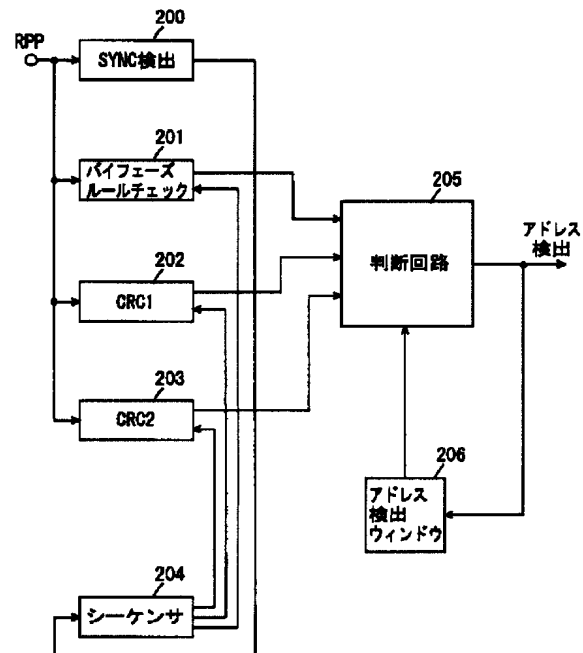
最終頁に続く

(54) 【発明の名称】 アドレス検出回路およびアドレス検出回路を備えた記録および/または再生装置

(57) 【要約】

【課題】 データの状況が悪くても高い検出率でアドレス検出を行なうことができるアドレス検出回路を提供する。

【解決手段】 同期検出回路200による同期検出、パイフェーズルールチェック回路201によるパイフェーズルールチェック、CRC1回路202およびCRC2回路203によるCRCエラーチェックの結果に応じて、自由に組合された設定条件に従ってアドレス検出を実行するとともに、エラーチェックの結果に応じてアドレス値を選択し、表示する。



## 【特許請求の範囲】

【請求項1】 入力データのアドレス検出を行なうアドレス検出回路であって、  
アドレス検出のために必要な条件の組合せを任意に設定する手段と、  
前記設定された条件ごとにアドレス検出のための判定を行なう手段と、  
前記任意に設定された条件のすべての判定結果がアドレス検出を示すときに、アドレス検出信号を発生する手段とを備える、アドレス検出回路。

【請求項2】 記録および／または再生装置において記録媒体から再生された入力データのアドレス検出を行なうアドレス検出回路であって、  
アドレス検出のために必要な条件の組合せを任意に設定する手段と、  
前記設定された条件ごとにアドレス検出のための判定を行なう手段と、  
前記任意に設定された条件のすべての判定結果がアドレス検出を示すときに、アドレス検出信号を発生する手段とを備える、アドレス検出回路。

【請求項3】 前記任意に設定されたアドレス検出のために必要な条件の組合せは、  
前記入力データの同期検出に成功すること、  
前記入力データがバイフェーズルールで書かれたデータであると判定されること、  
前記入力データのCRCエラーチェックによりエラーなしが判定されること、およびアドレス検出のタイミングがアドレス周期信号のアドレスウィンドウに合致していることが判定されることを含む、請求項1または2に記載のアドレス検出回路。

【請求項4】 前記入力データのCRCエラーチェックは、CRC1およびCRC2の双方でエラーなしの場合にエラーなしと判断する、請求項3に記載のアドレス検出回路。

【請求項5】 前記入力データのCRCエラーチェックは、CRC1またはCRC2のいずれか一方でエラーなしの場合にエラーなしと判断する、請求項3に記載のアドレス検出回路。

【請求項6】 前記任意に設定されたアドレス検出のために必要な条件の組合せは、  
前記入力データの同期検出に成功すること、  
前記入力データがバイフェーズルールで書かれたデータであると判断されること、およびアドレス検出のタイミングがアドレス周期信号のアドレスウィンドウに合致していることが判定されることを含む、請求項1または2に記載のアドレス検出回路。

【請求項7】 前記任意に設定された条件のすべての判定結果がアドレス検出を示していなくても、少なくともアドレス検出のタイミングがアドレス周期信号のアドレスウィンドウに合致していることが判定されることを条

件にアドレス検出信号を補間する手段をさらに含む、請求項1ないし6のいずれかに記載のアドレス検出回路。

【請求項8】 前記任意に設定された条件の判定結果に応じてアドレス値を選択する手段をさらに備える、請求項1または2に記載のアドレス検出回路。

【請求項9】 前記任意に設定された条件が、アドレス周期信号の使用を含まない場合、他の条件の判定結果に応じて、検出された生のアドレス値または保持されている前のアドレス値を、アドレス値として選択する手段を含む、請求項8に記載のアドレス検出回路。

【請求項10】 前記任意に設定された条件が、アドレス周期信号の使用を含む場合、他の条件の判定結果に応じて、検出された生のアドレス値、保持されている前のアドレス値、または前のアドレス値にプラス1した補間値のいずれかを、アドレス値として選択する手段を含む、請求項8に記載のアドレス検出回路。

【請求項11】 入力データのアドレス検出を行なうアドレス検出回路を備えた記録および／または再生装置であって、

20 前記アドレス検出回路は、  
アドレス検出のために必要な条件の組合せを任意に設定する手段と、  
前記設定された条件ごとにアドレス検出のための判定を行なう手段と、  
前記任意に設定された条件のすべての判定結果がアドレス検出を示すときに、アドレス検出信号を発生する手段とを備える、記録および／または再生装置。

【請求項12】 記録媒体から再生された入力データのアドレス検出を行なうアドレス検出回路を備えた記録および／または再生装置であって、

30 前記アドレス検出回路は、  
アドレス検出のために必要な条件の組合せを任意に設定する手段と、  
前記設定された条件ごとにアドレス検出のための判定を行なう手段と、  
前記任意に設定された条件のすべての判定結果がアドレス検出を示すときに、アドレス検出信号を発生する手段とを備える、記録および／または再生装置。

【請求項13】 前記任意に設定されたアドレス検出のために必要な条件の組合せは、  
40 前記入力データの同期検出に成功すること、  
前記入力データがバイフェーズルールで書かれたデータであると判定されること、  
前記入力データのCRCエラーチェックによりエラーなしが判定されること、およびアドレス検出のタイミングがアドレス周期信号のアドレスウィンドウに合致していることが判定されることを含む、請求項11または12に記載の記録および／または再生装置。

【請求項14】 前記入力データのCRCエラーチェックは、CRC1およびCRC2の双方でエラーなしの場

合にエラーなしと判断する、請求項13に記載の記録および／または再生装置。

【請求項15】 前記入力データのCRCエラーチェックは、CRC1またはCRC2のいずれか一方でエラーなしの場合にエラーなしと判断する、請求項13に記載の記録および／または再生装置。

【請求項16】 前記任意に設定されたアドレス検出のために必要な条件の組合せは、前記入力データの同期検出に成功すること、前記入力データがバイフェーズルールで書かれたデータであると判定されること、およびアドレス検出のタイミングがアドレス周期信号のアドレスウィンドウに合致していることが判定されることを含む、請求項11または12に記載の記録および／または再生装置。

【請求項17】 前記任意に設定された条件のすべての判定結果がアドレス検出を示していなくても、少なくともアドレス検出のタイミングがアドレス周期信号のアドレスウィンドウに合致していることが判定されることを条件にアドレス検出信号を補間する手段をさらに含む、請求項11ないし16のいずれかに記載の記録および／または再生装置。

【請求項18】 前記任意に設定された条件の判定結果に応じてアドレス値を選択する手段をさらに備える、請求項11または12に記載の記録および／または再生装置。

【請求項19】 前記任意に設定された条件が、アドレス周期信号の使用を含まない場合、他の条件の判定結果に応じて、検出された生のアドレス値または保持されている前のアドレス値を、アドレス値として選択する手段を含む、請求項18に記載の記録および／または再生装置。

【請求項20】 前記任意に設定された条件が、アドレス周期信号の使用を含む場合、他の条件の判定結果に応じて、検出された生のアドレス値、保持されている前のアドレス値、または前のアドレス値にプラス1した補間値のいずれかを、アドレス値として選択する手段を含む、請求項18に記載の記録および／または再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アドレス検出回路、およびアドレス検出回路を備えた記録および／または再生装置に関し、より特定的には、入力データから切出されたデータがアドレスデータであるか否かを検出するためにアドレス検出を行なうアドレス検出回路、およびそのようなアドレス検出回路を備えた記録および／または再生装置に関する。

【0002】

【従来の技術】従来、記録媒体の一例としての光磁気ディスクにおいては、位相情報およびアドレス情報がディスク上にプリフォーマットされており、記録再生装置で

は、記録再生時に、光磁気ディスクにプリフォーマットされた位相情報に基づいてクロック信号を再生し、当該クロック信号に基づいてアドレス情報の読出を行なっていた。

【0003】

【発明が解決しようとする課題】従来の技術では、光磁気ディスクから再生されるデータからアドレス情報を切出すために、同期信号パターンの検出を行なっていた。すなわち、ディスク上でアドレス情報に先行して記録されている同期信号パターンをまず検出することにより、後続のアドレス情報を再生データから切出すように構成されていた。

【0004】このような同期検出は、光磁気ディスクにプリフォーマットされている位相情報に基づいてPLL回路から供給されるクロック信号に同期して行なわれる。したがって、PLL回路からクロック信号が安定した状態で供給されている場合には、当該クロック信号に同期して確実に同期検出を行なうことができる。しかしながら、クロック信号が乱れると、同期検出は困難となり、ひいては同期検出により再生データから切出された情報が本当にアドレス情報なのか不明になってしまう。

【0005】光磁気記録再生装置では、回路部品の特性のばらつき、光磁気ディスクの温度特性、その記録条件などによって、クロック信号が不安定なことが多く、したがって同期検出に引続いてアドレス情報が正確に検出できたのか不明になるという状態が頻繁に発生していた。

【0006】また、トラックジャンプやスチル再生の場合のように、トラッキングが乱れクロックが未だ安定していないにもかかわらず、短時間のうちにアドレス情報を検出しなければならない場合があり、そのような場合にも同期検出に引続いてアドレス情報が正確に検出できたのかは不明であった。

【0007】また、光磁気ディスクに記憶されているアドレス情報そのものが何らかの原因で破壊されている場合があり、このような場合にもアドレス情報が正確に検出されたか否かは不明である。

【0008】それゆえに、この発明の目的は、入力データから切出した情報がアドレス情報であるか否かを判断することができるアドレス検出回路およびそのようなアドレス検出回路を備えた記録および／または再生装置を提供することである。

【0009】この発明の他の目的は、データの状態に合わせてアドレス検出のための条件の組合せを柔軟に設定することができるアドレス検出回路およびそのようなアドレス検出回路を備えた記録および／または再生装置を提供することである。

【0010】この発明のさらに他の目的は、アドレス検出結果に応じてアドレス値を選択することができるアドレス検出回路およびそのようなアドレス検出回路を備え

10

20

30

40

50

た記録および／または再生装置を提供することである。

【0011】

【課題を解決するための手段】請求項1に記載の発明によれば、入力データのアドレス検出を行なうアドレス検出回路は、アドレス検出のために必要な条件の組合せを任意に設定する手段と、設定された条件ごとにアドレス検出のための判定を行なう手段と、任意に設定された条件のすべての判定結果がアドレス検出を示すときに、アドレス検出信号を発生する手段とを備える。

【0012】請求項2に記載の発明によれば、記録および／または再生装置において記録媒体から再生された入力データのアドレス検出を行なうアドレス検出回路は、アドレス検出のために必要な条件の組合せを任意に設定する手段と、設定された条件ごとにアドレス検出のための判定を行なう手段と、任意に設定された条件のすべての判定結果がアドレス検出を示すときに、アドレス検出信号を発生する手段とを備える。

【0013】請求項3に記載の発明によれば、請求項1または2に記載のアドレス検出回路において、任意に設定されたアドレス検出のために必要な条件の組合せは、入力データの同期検出に成功すること、入力データがバイフェーズルールで書かれたデータであると判定されること、入力データのCRCエラーチェックによりエラーなしが判定されること、およびアドレス検出のタイミングがアドレス周期信号のアドレスウィンドウに合致していることが判定されることを含む。

【0014】請求項4に記載の発明によれば、請求項3に記載のアドレス検出回路において、入力データのCRCエラーチェックは、CRC1およびCRC2の双方でエラーなしの場合にエラーなしと判断する。

【0015】請求項5に記載の発明によれば、請求項3に記載のアドレス検出回路において、入力データのCRCエラーチェックは、CRC1またはCRC2のいずれか一方でエラーなしの場合にエラーなしと判断する。

【0016】請求項6に記載の発明によれば、請求項1または2に記載のアドレス検出回路において、任意に設定されたアドレス検出のために必要な条件の組合せは、入力データの同期検出に成功すること、入力データがバイフェーズルールで書かれたデータであると判断されること、およびアドレス検出のタイミングがアドレス周期信号のアドレスウィンドウに合致していることが判定されることを含む。

【0017】請求項7に記載の発明によれば、請求項1ないし6のいずれかに記載のアドレス検出回路において、任意に設定された条件のすべての判定結果がアドレス検出を示していなくても、少なくともアドレス検出のタイミングがアドレス周期信号のアドレスウィンドウに合致していることが判定されることを条件にアドレス検出信号を補間する手段をさらに含んでいる。

【0018】請求項8に記載の発明によれば、請求項1

または2に記載のアドレス検出回路において、任意に設定された条件の判定結果に応じてアドレス値を選択する手段をさらに備える。

【0019】請求項9に記載の発明によれば、請求項8に記載のアドレス検出回路において、任意に設定された条件が、アドレス周期信号の使用を含まない場合、他の条件の判定結果に応じて、検出された生のアドレス値または保持されている前のアドレス値を、アドレス値として選択する手段を含む。

10 【0020】請求項10に記載の発明によれば、請求項8に記載のアドレス検出回路において、任意に設定された条件が、アドレス周期信号の使用を含む場合、他の条件の判定結果に応じて、検出された生のアドレス値、保持されている前のアドレス値、または前のアドレス値にプラス1した補間値のいずれかを、アドレス値として選択する手段を含む。

20 【0021】請求項11に記載の発明によれば、記録および／または再生装置の入力データのアドレス検出を行なうアドレス検出回路は、アドレス検出のために必要な条件の組合せを任意に設定する手段と、設定された条件ごとにアドレス検出のための判定を行なう手段と、任意に設定された条件のすべての判定結果がアドレス検出を示すときに、アドレス検出信号を発生する手段とを備える。

30 【0022】請求項12に記載の発明によれば、記録および／または再生装置の記録媒体から再生された入力データのアドレス検出を行なうアドレス検出回路は、アドレス検出のために必要な条件の組合せを任意に設定する手段と、設定された条件ごとにアドレス検出のための判定を行なう手段と、任意に設定された条件のすべての判定結果がアドレス検出を示すときに、アドレス検出信号を発生する手段とを備える。

40 【0023】請求項13に記載の発明によれば、請求項11または12に記載の記録および／または再生装置において、任意に設定されたアドレス検出のために必要な条件の組合せは、入力データの同期検出に成功すること、入力データがバイフェーズルールで書かれたデータであると判定されること、入力データのCRCエラーチェックによりエラーなしが判定されること、およびアドレス検出のタイミングがアドレス周期信号のアドレスウィンドウに合致していることが判定されることを含む。

【0024】請求項14に記載の発明によれば、請求項13に記載の記録および／または再生装置において、入力データのCRCエラーチェックは、CRC1およびCRC2の双方でエラーなしの場合にエラーなしと判断する。

50 【0025】請求項15に記載の発明によれば、請求項13に記載の記録および／または再生装置において、入力データのCRCエラーチェックは、CRC1またはCRC2のいずれか一方でエラーなしの場合にエラーなし

と判断する。

【0026】請求項16に記載の発明によれば、請求項11または12に記載の記録および／または再生装置において、任意に設定されたアドレス検出のために必要な条件の組合せは、入力データの同期検出に成功すること、入力データがバイフェーズルールで書かれたデータであると判定されること、およびアドレス検出のタイミングがアドレス周期信号のアドレスウィンドウに合致していることが判定されることを含む。

【0027】請求項17に記載の発明によれば、請求項11ないし16のいずれかに記載の記録および／または再生装置において、任意に設定された条件のすべての判定結果がアドレス検出を示していなくても、少なくともアドレス検出のタイミングがアドレス周期信号のアドレスウィンドウに合致していることが判定されることを条件にアドレス検出信号を補間する手段をさらに含む。

【0028】請求項18に記載の発明によれば、請求項11または12に記載の記録および／または再生装置において、任意に設定された条件の判定結果に応じてアドレス値を選択する手段をさらに備える。

【0029】請求項19に記載の発明によれば、請求項18に記載の記録および／または再生装置において、任意に設定された条件が、アドレス周期信号の使用を含まない場合、他の条件の判定結果に応じて、検出された生のアドレス値または保持されている前のアドレス値を、アドレス値として選択する手段を含む。

【0030】請求項20に記載の発明によれば、請求項18に記載の記録および／または再生装置において、任意に設定された条件が、アドレス周期信号の使用を含む場合、他の条件の判定結果に応じて、検出された生のアドレス値、保持されている前のアドレス値、または前のアドレス値にプラス1した補間値のいずれかを、アドレス値として選択する手段を含む。

【0031】

【発明の実施の形態】まず最初に、この発明が適用される記録媒体である光磁気ディスクに記録され再生される情報のフォーマットについて説明する。

【0032】図1を参照すると、光磁気ディスク1の記録面上には、同心円状（または螺旋状）に複数のトラック（ $t_1, t_2, t_3, t_4, \dots, t_{n-1}, t_n$ ）が形成されており（図1ではディスクの全面に形成されたトラックの一部分のみをセクタ状に示している）、これらの複数の同心円状のトラックはさらに、外周から内周への半径方向において隣接する数本のトラックごとにバンドを形成し（たとえば図1のトラック $t_1 \sim t_4$ で1つのバンドを形成）、隣接するバンドとバンドとの間には図示しない緩衝領域が形成される。

【0033】光磁気ディスク上の各トラックは等間隔に分割され、情報の記録単位である複数のフレーム2がそれぞれ配置される。

【0034】図1に示すように、各フレーム2はさらに39個のセグメント（ $S_0, S_1, S_2, S_3, \dots, S_n, \dots, S_{38}$ ）によって構成される。39個のセグメントの先頭のセグメント $S_0$ はアドレスセグメントであり、残りの38個のセグメント $S_1 \sim S_{38}$ はデータセグメントである。

【0035】アドレスセグメントおよびデータセグメントのいずれにおいても、各セグメント内の先頭位置には、記録再生動作の基準となるクロック信号を生成するための位相基準となるファインクロックマーク（FCM）が形成されている。

【0036】図1を参照するとさらに、アドレスセグメント $S_0$ およびデータセグメント $S_n$ の物理的形狀が模式的に示されている。各トラックは、1対のランドおよびグループで構成される。斜線で示されるグループは、記録面上に形成された溝部であり、ランドはそれ以外の部分である。

【0037】まず、前述のようにアドレスセグメントおよびデータセグメントのいずれにおいても、各セグメントの先頭位置にFCMが、グループとランドとの間で凹凸関係を逆転することによってプリフォーマットされている。このようにFCMが形成されている領域をFCMフィールドと称する。

【0038】アドレスセグメント $S_0$ においては、FCMフィールドに続くアドレスフィールドにおいて、当該フレームに関するアドレス情報を変調した信号によって、光磁気ディスクの製造時にグループとランドとの境界線がウォブリックされることにより、アドレス情報がプリフォーマットされている。

【0039】一方、データセグメント $S_n$ においては、FCMフィールドに続いて、データを光磁気記録するためのデータフィールドが設けられている。なお、データは、トラックを構成するグループおよびランドのいずれにも、または双方に光磁気記録可能である。

【0040】次に、図2を参照して、上述の情報の記録単位としてのフレームのフォーマットについてより詳細に説明する。

【0041】先に説明したように、各フレームは、たとえばセグメント0～セグメント38の合計39個のセグメントによって構成される（図2の（a））。各セグメントは、たとえば532データクロックビット（DCB）長であり、したがってFCMは532DCBの周期で繰返すことになる。

【0042】図2の（b）に示すように、39個のセグメントの先頭のセグメント0はアドレスセグメントである。このアドレスセグメントは、FCMがプリフォーマットされた12DCB長のFCMフィールド、アドレスデータがプリフォーマットされた520DCB長のアドレスフィールドから構成される。

【0043】図2の（c）に示すように、39個のセグ

メントの2番目のセグメント1は、先頭のデータセグメントに相当する。この先頭のデータセグメント1は、12DCB長のFCMフィールドと、データを書出しを示す4DCB長の固定パターン“0011”が記録されるブリライトフィールドと、再生時にフレーム単位の記録の開始位置を確認するために用いる320DCB長の固定パターンであるヘッダフィールドと、データを記憶するための192DCB長のユーザデータフィールドと、ユーザデータフィールドの終結を示す4DCB長の固定パターン“1100”が記録されるポストライトフィールドとから構成される。

【0044】図2の(d)に示すように、残りのセグメント2〜セグメント38はすべて同じフォーマットのデータセグメントである。これらのデータセグメントの各々は、12DCB長のFCMフィールドと、4DCB長のブリライトフィールドと、512DCB長のユーザデータフィールドと、4DCB長のポストライトフィールドとから構成される。

【0045】図2の(c)、(d)から明らかなように、データセグメントのうち先頭のデータセグメント1のみがヘッダフィールドを含んでいる。

【0046】次に図3は、図2の(b)に示したアドレスセグメント0のより詳細なフォーマットを示す図である。

【0047】図3に示すように、全長532DCBのアドレスセグメント0は、12DCB長のFCMフィールドと、4DCB長のブリパッファフィールドと、3アドレスデータビット(ADB)長のブリアンブル1と、4ADB長の同期フィールドと、69ADB長のアドレスフィールドと、9ADB長のリザーブドフィールドと、6DCB長のポストパッファフィールドとから構成されている。

【0048】ブリアンブル1と、同期フィールドと、アドレスフィールドと、リザーブドフィールドとで全長85ADBであるが、これは510DCBに相当している(1ADB=6DCB)。

【0049】上述の各フィールドのうち、69ADB長のアドレスフィールドの詳細がさらに示されている。すなわち、アドレスフィールドは、7ADB長のフレームアドレス(フレーム番号)と、5ADB長のバンドアドレス(バンド番号)と、12ADB長のトラックアドレス(トラック番号)1と、14ADB長のCRC1と、1ADB長のブリアンブル2と、4ADB長のResyncと、12ADB長のトラックアドレス(トラック番号)2と、14ADB長のCRC2とから構成されている。

【0050】このアドレスフィールドのうち、フレームアドレス、バンドアドレス、トラックアドレスが、現在の記録再生位置を特定するための「アドレス情報」としての意義を有している。なお、説明の便宜上、アドレス

セグメントから再生されるデータ全体を「アドレスデータ」と称することとする。

【0051】次に、図4は、この発明が適用される光磁気ディスクの記録再生装置の構成を示す概略ブロック図である。

【0052】図4を参照して、この記録再生装置の再生動作について説明する。まず、モータ118により回転駆動される光磁気ディスク101からピックアップ(PU)102によってデータが再生され、信号演算回路100に与えられる。信号演算回路100はピックアップの各センサ出力信号を演算することにより、再生データ信号RFと、各セグメントのFCMを検出するためのタンジェンシャルプッシュプル信号TPPと、アドレスセグメントのアドレスフィールドにウォプリングによって記録されたアドレスデータを再生するためのラジアルプッシュプル信号RPPとを、それぞれ別々に出力する。

【0053】再生データ信号RFは、バンドパスフィルタ(BPF)103を介して復調可能な周波数が抽出され、AD変換器104によりデジタル信号に変換される。AD変換器104の出力は、波形等化回路105によって波形等化され、周知のビタビ復号器106に与えられる。

【0054】ビタビ復号器106で復号された出力は、データ復調器108に与えられ、記録時に施されたデジタル変調がデジタル復調され、その後誤り訂正回路109に与えられる。誤り訂正回路109は、記録時に付加された誤り訂正符号を用いて誤り訂正を実行する。

【0055】ビタビ復号器106の出力はまたヘッダ検出回路107にも与えられ、ヘッダ検出回路107は、前述のセグメント1に記録されたヘッダフィールドの位置を検出して、ヘッダ検出信号を発生してデータ復調器108に与える。

【0056】一方、信号演算回路100から出力されたTPP信号は、PLL回路110に与えられ、PLL回路110は、各セグメントのFCMを再生した信号であるTPP信号に基づいて、データクロックCLKを発生する。PLL回路110で発生したデータクロックCLKは、前述のAD変換器104、波形等化回路105、ビタビ復号器106、ヘッダ検出回路107、およびデータ復調器108に与えられるとともに、後述するアドレス検出回路111およびデータ変調器114にも与えられる。また、PLL回路110からは、TPP信号に基づいてFCMに相当する信号がアドレス検出回路111に与えられる。

【0057】さらに、信号演算回路100から抽出されたRPP信号は、アドレス検出回路111に与えられる。アドレス検出回路111は、アドレスセグメントから再生されたアドレスデータに含まれる同期信号を検出して当該フレームのアドレス情報を正確に抽出してコントローラ112に供給する。

10

20

30

40

50



【0058】コントローラ112は、前述のデータ復調器108および誤り訂正回路109ならびに後述する誤り訂正符号付加回路113およびデータ変調器114との間で、制御データのやり取りを行なう。

【0059】次に、図4を参照して、この記録再生装置の記録動作について説明する。まず、記録すべきデータが誤り訂正符号付加回路113に入力され、誤り訂正符号が付加される。誤り訂正符号が付加されたデータは、データ変調器114によりデジタル変調され、磁気ヘッド駆動回路115に与えられる。磁気ヘッド駆動回路115は、入力されたデータに基づいて磁気ヘッド116を駆動し、磁気ヘッド116はデータに基づいて変調された磁界を光磁気ディスク101に印加する。

【0060】また、レーザ駆動回路117は、所定強度のレーザ光を生成するようにピックアップ102中の半導体レーザ（図示省略）を駆動し、ピックアップ102は所定強度のレーザ光を光磁気ディスク101に照射する。これにより、データに基づいて異なる方向の磁化を有する磁区が光磁気ディスク101に形成され、データが磁界変調記録される。

【0061】図4に示したアドレス検出回路111は、その種々の機能の一部として、この発明の同期検出回路およびアドレス検出回路としての機能を有する。すなわち、この発明は、各フレームのアドレスセグメントから再生されたアドレスデータに含まれる同期信号を検出することにより、この同期信号の後続のアドレス情報を再生データから正確に切出すための位置を特定することができる同期検出回路を提供するとともに、切り出された情報がアドレス情報であるか否かを判断するアドレス検出回路を提供するものであり、図4の記録再生装置では、アドレス検出回路111によって実現されている。

【0062】図5は、図4のアドレス検出回路111のうち、この発明の実施の形態における同期検出回路として機能する部分のみを抽出して示す概略ブロック図である。また、図6は、図5に示した同期検出回路の動作を説明するためのタイミング図である。

【0063】まず、図5および図6を参照して、図4のPLL回路110から供給されるFCMを示す信号（図6の（a））が可変遅延回路121を介して検出窓（ウィンドウ）発生回路122に与えられる。検出窓発生回路122は、FCMを示す信号を受けてから図6（a）に示す固定遅延時間後、所定期間Hレベルとなって同期信号（SYNC）検出窓を開く信号（図6の（b））を発生してアドレス同期（SYNC）検出回路123の一方の入力に与える。

【0064】一方、信号演算回路100から与えられる、アドレスフィールドのアドレスデータを再生した信号RPPは、AD変換器124でデジタルデータに変換された後（図6（c））、アドレスSYNC検出回路123の他方の入力に与えられる。

【0065】アドレスSYNC検出回路123は、SYNC検出窓の開いている期間中（図6（b））に入力されるデジタルのアドレスデータを、予め図示しないレジスタに記憶させておいた同期信号（SYNC）パターンと対比する。すなわち、図3に示したアドレスセグメントを構成する4ADB長の同期フィールドのSYNCパターンに相当するパターンが予め準備されており、SYNC検出窓の期間内において、アドレスセグメントから実際に再生されてくるアドレスデータのパターンと対比される。そして両者のデータパターンが一致すれば、アドレスセグメントの同期フィールドが検出されたとして、同期（SYNC）検出信号（図6の（d））が、アドレスSYNC検出回路123から出力される。

【0066】なお、上述のようにFCMの検出から固定遅延時間後にSYNC検出窓を開けるように構成されているが、この固定遅延時間は図3のアドレスセグメントのフォーマットから理解されるようにFCMフィールドの終了から同期フィールドの開始までの期間に相当する期間である。これにより、同期フィールドのSYNCパターンが到来すると予想されるタイミングで検出窓を開け、SYNCパターンの検出を行なっている。

【0067】なお、装置を構成する部品や回路素子のばらつき等によって、必ずしも一定の遅延時間を実現できない場合がある。そこで、遅延時間可変の遅延回路121をさらに設け、製品の出荷時等にこれを調整して、全体として正確な固定遅延時間の実現を図っている。

【0068】上述のようにして、SYNC検出信号（図6の（d））が出力されると、これによってアドレスセグメントの同期フィールドに引続くアドレスフィールド（図3）の開始位置が特定されたことになり、再生データの流れの中からアドレスフィールドのアドレス情報を切出すことが可能となる。

【0069】次に、図7は、図5のアドレスSYNC検出回路123の基本的な構成を示すブロック図である。

【0070】図7を参照して、図5のAD変換器124からのアドレスデータは、アドレスSYNC検出回路123の一方の入力を介してシフトレジスタ125にシリアルに入力される。一方、8ビットのレジスタ126には、予め同期フィールドのSYNCパターン“10001110”が記憶されている。

【0071】そして、シフトレジスタ125に順次入力されラッチされた8ビットの入力アドレスデータと、レジスタ126の8ビットのSYNCパターンとが、対応するビットごとに比較器127で比較される。両者のパターンが完全に一致（フルマッチング）したときのみ同期検出を示す信号が比較器127から出力され、ANDゲート128の一方入力に与えられる。

【0072】ANDゲート128の他方入力には、図5の検出窓発生回路122からのSYNC検出窓信号が、アドレスSYNC検出回路123の他方入力を介して入

10

20

30

40

50

力される。この結果、SYNC検出窓信号がHレベルとなり検出窓が開いている期間中(図6の(b))に比較器127から検出出力が出力された場合にのみ、その検出出力がアドレスSYNC検出信号(図6の(d))としてANDゲート128から出力されることになる。

【0073】以上の動作は、図4のPLL回路110が順調に機能し、PLL回路110がロックしてジッタ成分の少ないクロック信号が装置の各要素に供給されている場合の動作である。図8は、このような定常状態(PLLロック時)における入力アドレスデータのシフトレジスタ125へのラッチのタイミングを示すタイミング図である。

【0074】図8において(a)は入力アドレスデータであり、(b)はアドレスデータをサンプリングするクロック信号である。各クロックはDCBの周波数であり、前述のように6DCBで1ADBに相当している。

【0075】図8において、入力アドレスデータの立上がりまたは立下がりのエッジに応じて図示しないカウンタがリセットされ、次に到来するクロックからカウンタは0, 1, 2のカウントを繰返す。そしてカウンタ値0のときに入力アドレスデータは矢印のタイミングでラッチされる。図8の例では、まず入力アドレスデータの立上がりエッジによりカウンタがリセットされ、次のカウンタ値0のクロックの立下がりに応じたタイミングでデータ“1”のラッチが行なわれる。次に、入力アドレスデータの立下がりエッジによりカウンタがリセットされ、次のカウンタ値0のクロックの立下がりに応じたタイミングでデータ“0”のラッチが行なわれる。以下、0, 1, 2のカウント値が反復され、カウンタ値0ごとに対応するクロックの立下がりタイミングでデータがラッチされることになる。

【0076】図8の定常状態では、SYNCパターンに相当するデータ“10001110”が下向き矢印のタイミングで順次取込まれシフトレジスタにラッチされていく様子が表わされている。この取込みの分解能はPLLから供給されるクロックの周波数によって変化する。

【0077】すなわち、図9は、PLLのロックが外れ、供給されるクロックの周波数が下がり、この結果入力アドレスデータから取込まれるデータが欠落している状態を示している。また図10は逆に、供給されるクロックの周波数が上がり、入力アドレスデータから余分なデータが取込まれている状態を示している。

【0078】このように、図9および図10に示した非定常状態(PLLのロックが外れた状態)では、図7に関連して先に説明したSYNCパターンのフルマッチングは不可能となり、アドレスSYNC検出はもはやできなくなる。

【0079】先に述べたように、PLL回路110がロックした状態では、同期検出は問題なく実行できるが、光磁気ディスクの記録再生装置では、必ずしもPLLが

ロックした状態だけで同期検出が行なわれるものではない。

【0080】たとえばトラックジャンプやスチル再生の際にはトラッキングが乱れ、PLL回路110はロックできなくなることがある。たとえばピックアップが次の再生位置へジャンプした後、ディスクからデータを読取ろうとすると、PLLがロックするまでの間、安定したクロックは供給されない。その一方で、ジャンプ中のピックアップが現在どこにいるかを常に特定する必要があり、クロックがいかに乱れていてもアドレスを検出する必要がある。そしてアドレス検出の前提として同期検出を行なわなければならない。

【0081】しかしながら、前述のような8ビットのSYNCパターンのフルマッチングによる検出では、このようにクロックが乱れた状態(図9および図10に示すような非定常状態)では同期検出は不可能である。

【0082】本発明の実施の形態によれば、PLLのロック状態すなわちクロックの供給状態を考慮して、SYNCパターンのフルマッチングではなく、部分的に指定されたSYNCパターンのマッチングの検出により、同期検出が行なわれる。

【0083】図11は、この発明の実施の形態によるアドレスSYNC検出回路123の構成を示す概略ブロック図であり、図12は、図11の比較器129の詳細な構成を示すブロック図である。

【0084】図11および図12に示した実施の形態においては、レジスタ126に記憶された8ビットのSYNCパターン“10001110”のすべてではなく、ある部分のみをマッチングの対象のビットとしてユーザが予め指定するものである。

【0085】8ビットのSYNCパターン“10001110”のうちどのビットを観測の対象とするかを指定するデータは、レジスタ130および131に設定される。

【0086】レジスタ130には最初の同期パターンとしての4ADB長の同期フィールド(図3)の検出の際にマッチングの対象とするビットを指定する情報が記憶されており、レジスタ131には、2番目の同期パターンとしての4ADB長のResyncフィールド(図3)の検出の際にマッチングの対象とするビットを指定する情報が記憶されている。

【0087】これらのレジスタ130, 131に記憶されたデータ“0”は8ビットのSYNCパターン“10001110”のうち対応するビットをマスクする機能を有し、データ“1”はSYNCパターンの対応するビットと対応するアドレスデータとの比較を可能にする機能を有している。

【0088】すなわち、図11を参照して、最初の同期フィールドの検出時にはPLLが十分にロックしておらず、クロックが不安定なため、読取れないアドレスデー

10

20

30

40

50

タが多く、8ビットのフルマッチングは事実上困難である。そこで、8ビットのSYNCパターン“10001110”の中心部の4ビット“0011”のみをマッチングの対象ビットとして観測し、両端の2ビット“10”および“10”は切捨てるように構成したものである。これに対し、最初の同期フィールドに近接した後のResyncフィールドでは、上述の最初の同期フィールド位置でのクロック位相調整の結果、クロック位相が大きくずれている可能性が低いため同期検出が容易になっている。そこで、マッチングの対象となるビットをSYNCパターンの中心の6ビット“000111”に拡大したものである。

【0089】より詳細に、最初の同期フィールドの検出時には、スイッチ群132は、レジスタ130に記憶されているデータ“00111100”を比較器129に与えるよう、図示しない制御回路からの制御信号によって切換えられる。

【0090】図12を参照すると、8ビットの各々ごとに、シフトレジスタ125からのアドレスデータビットと、レジスタ126からのSYNCパターンビットとが対比され、両者のビットがともに“0”のときまたはともに“1”のとき、ORゲート129a, 129b, …, 129hの各々から“1”が出力され、それ以外の場合には“0”が出力される。

【0091】ここで、レジスタ130からの対応するSYNC観測指定ビットが“0”であれば、その反転信号と対応するORゲート出力とのOR処理の結果、ORゲート129i, 129j, …, 129oのうち対応するゲートからは常時“1”が出力され、当該アドレスデータとSYNCパターンとの対比結果はマスクされることになる。

【0092】一方、レジスタ130からの対応するSYNC観測指定ビットが“1”であれば、その反転信号と対応するORゲート出力とのOR処理の結果、ORゲート129a, 129b, …, 129hの出力がそのままORゲート129i, 129j, …, 129oのうち対応するゲートから出力されることになる。

【0093】すなわちレジスタ130のデータパターンが“00111100”であれば、中央の4ビットに相当する部分のみにおいてアドレスデータとSYNCパターンとの対比が行なわれ、中央の4ビットすべてで一致が検出された場合にのみAND回路129pから“1”の出力が検出され、図11のANDゲート128の一方入力に与えられることになる。

【0094】次に、Resyncフィールドの検出時には、スイッチ群132はレジスタ131に記憶されているデータ“01111110”を比較器129に与えるように切換わる。上述の場合と同様に、レジスタ131からの対応するSYNC観測指定ビットが“0”であれば常時“1”がAND回路129pに与えられ、“1”

であればORゲート129a, 129b, …, 129hの出力がそのままAND回路129pに与えられる。すなわち、レジスタ131のデータパターンが“01111110”であれば、中央の6ビットに相当する部分においてのみ、アドレスデータとSYNCパターンとの対比が行なわれ、中央の6ビットすべてで一致が検出された場合にのみAND回路129pから“1”の出力が検出され、図11のANDゲート128の一方入力に与えられることになる。

10 【0095】なお、上述の実施の形態では、最初の同期フィールドと後続のResyncとで同じSYNCパターン“10001110”を用いていたが、両者は互いに異なるSYNCパターンであってもよい。その場合にはResyncの同期パターンを記憶したレジスタがさらに1つ必要となる。

【0096】以上のように、この発明の実施の形態によれば、最初の同期検出のときにはマッチングの観測ビット数を少なくし、2回目の同期検出のときにはマッチングの観測ビット数をより多くしている。これにより、PLLが未だ十分にロックしていない1回目の検出時でも、同期検出が可能となり、さらに2回目の検出時にはより確実な同期検出が可能となる。

【0097】なお、レジスタ130, 131に設定される観測指定ビットは、ユーザがディスク装置のばらつきなどを考慮して経験的に適当な範囲に決定し、図示しないコントローラ等を介して設定するものであり、図11に示したものは例示にすぎない。

【0098】以上のようにして同期検出が行なわれると、後続のアドレス情報の抽出し位置が特定され、アドレス情報が抽出されることになる。しかしながら、PLL回路が非常に不安定な状態にありクロック信号がいつまでも安定しない場合、光磁気ディスク上のアドレス情報そのものが何らの原因で破壊されている場合、光磁気ディスクの温度特性等により信号が極めて読取にくくなっている場合などには、同期検出に引続いて抽出されたデータであっても、現実にはアドレスセグメントのアドレスデータであるとは限らず、したがって、抽出されたデータがアドレスデータであるか否かを判断する必要がある。

40 【0099】すなわち、この発明は、同期検出によって抽出されたデータがアドレスデータであるか否かを判断するアドレス検出回路を提供するものであり、図4に示した記録再生装置ではアドレス検出回路111によって実現されている。

【0100】以下に、この発明によるアドレス検出の原理について説明する。一般に、アドレスデータは、バイフェーズルールによって光磁気ディスク上に書込まれている。簡単に説明すると、バイフェーズルールとは、情報の“0”を“10”の波形で表現し、情報の“1”を“01”の波形で表現する方法である。

【0101】アドレスデータは必ずバイフェーズルールによって光磁気ディスクに書かれているため、同期検出に引続いて抽出されたデータがアドレスデータであるか否かは、抽出された当該データがバイフェーズルールによって書かれたデータであるか否かをチェックすることにより判断することができる。このようなチェックをバイフェーズルールチェックと称する。

【0102】したがって、もしも同期検出に引続いて抽出されたデータがバイフェーズルールで表現されたデータでなければ、同期検出は誤っており、抽出されたデータはアドレスデータとは関係のないデータであるものと判断し、アドレス未検出状態となる。このような場合には、アドレス検出のためのシーケンサが停止し、次のFCMの検出を待ってアドレス検出動作を繰返すこととなる。

【0103】この発明の実施の形態では基本的に、まず同期検出がなされた後に、バイフェーズルールのチェックを行ない、検出されたデータがバイフェーズルールで書かれていたことが検出された（バイフェーズルールチェックOK）場合に、アドレス検出の前提条件をパスしたものとする。そして、この場合に限り、追加の種々の検出が行なわれる。以下に、アドレス検出の種々の方式について説明する。

【0104】〔実施の形態1〕同期検出に加えてバイフェーズルールチェックOKの場合、さらにアドレスセグメントのCRC1およびCRC2のエラーチェック、ならびにアドレス周期信号のアドレスウィンドウの検出を行ない、すべての検出結果が良好な場合にのみアドレスデータの検出が正しく行なわれていたものと判断する。

【0105】図13は、このような実施の形態1の設定条件がすべて満たされている場合を示すタイミング図である。

【0106】図13を参照して、FCM(a)の検出後、前述の同期検出信号(b)が得られ、後続の信号のバイフェーズルールチェックが行なわれる。その結果、エラーがなければ（データがバイフェーズルールで書かれていれば）、バイフェーズルールエラーフラグはLレベルとなってエラーなしを示す(c)。

【0107】その後、CRC1のエラーチェック動作（斜線部）が開始されるまで、バイフェーズルールチェックは行なわれ、CRC1によりアドレスデータが正しく読めた場合にはCRC1 OKフラグはHレベルに立上がる(d)。

【0108】その後、CRC2のエラーチェック動作（斜線部）が開始されるまでの期間、再度バイフェーズルールチェックが行なわれ、CRC2によりアドレスデータが正しく読めた場合には、CRC2 OKフラグはHレベルに立上がる(e)。

【0109】一方、アドレス周期信号(f)は、アドレスセグメントのウィンドウとなる信号である。アドレス

セグメントは、39セグメント周期でディスク上に形成されており、したがってアドレスデータは39FCMの周期で検出されることになる。すなわち、このアドレス周期信号(f)は、アドレス検出信号(g)が発生するたびに、図示しないカウンタをリセットし、以後FCMを39個カウントすることによってアドレスセグメントのタイミングを見出し、その都度パルス状のアドレスウィンドウを発生する信号である。

【0110】図13の例では、アドレスの検出タイミングがアドレス周期信号のアドレスウィンドウに適合している状態を示している。しかし、最初のアドレス検出のタイミングではアドレス周期は未だとれていないため、図13のようなタイミングでアドレスウィンドウは発生していない。このため、最初の検出タイミングでは、同期検出(b) + バイフェーズルールチェックOK(c)が検出されれば、あるいはそれに加えて設定により、CRC1、CRC2の双方(AND)または一方(OR)でエラーなし(d, e)が検出されれば、とりあえずアドレス検出信号(g)を発生することとしている。

【0111】このアドレス検出信号(g)を初期信号として39個FCMをカウンタで繰返しカウントすることにより、以後はアドレス周期が確定し、図13に示すようなタイミングでアドレス周期信号のアドレスウィンドウが発生することになる。なお、後述する実施の形態2～5のいずれにおいても、同様に、アドレス周期信号(f)の周期は、最初の検出時にアドレス周期を考慮せずに検出されたアドレス検出信号(g)を初期信号として39個のFCMを繰返しカウントすることにより確定されるものとする。

【0112】したがって、図13の実施の形態1の状態では、すでにアドレス周期信号の周期は確定しており、同期検出(b) + バイフェーズルールチェックOK(c)に加えて、CRC1、CRC2の双方(AND)でエラーなしが検出され(d, e)、かつ検出タイミングがアドレス周期信号(f)のアドレスウィンドウに適合していることが判断された場合にのみ、アドレスデータの検出が正しく行なわれたものとみなしてアドレス検出信号(g)が発生する。

【0113】このように、同期検出 + バイフェーズルールチェックOKに加えて、CRC1、CRC2の双方のエラー検出結果までアドレス検出条件に加味すると、厳密なアドレス検出が行なえる一方、データの状態が少しでも劣化すると、検出率が著しく低下してしまうことが考えられる。

【0114】この発明は、以下の実施の形態に示すように、アドレス検出のための条件設定に自由度を持たせることにより、光磁気ディスクから再生されるデータの状況に応じたアドレス検出を可能にするものである。

【0115】〔実施の形態2〕同期検出に加えてバイフェーズルールチェックOKの場合、さらにアドレスセグ

メントのCRC1またはCRC2のエラーチェック、ならびにアドレス周期信号のアドレスウィンドウの検出を行ない、CRC1またはCRC2のいずれか一方でエラーがないと判断され、かつアドレス周期信号のアドレスウィンドウが検出された場合にのみ、アドレスデータの検出が正しく行なわれたものと判断する。

【0116】図14は、CRC1、CRC2のうち、CRC1でエラーなしが判断され(d)、さらに検出タイミングがアドレス周期信号(f)のアドレスウィンドウに適合していることが判断された場合を示し、図15は、CRC1、CRC2のうち、CRC2でエラーなしが判断され(e)、さらに検出タイミングがアドレス周期信号(f)のアドレスウィンドウに適合していることが判断された場合を示している。前述の実施の形態1では、CRC1、CRC2の双方(AND)でエラーなしが検出されなければアドレス検出とみなされないのに対し、この実施の形態2では、CRC1、CRC2の一方(OR)でエラーなしと検出されれば、アドレス検出とみなされ、アドレス検出信号(g)が発生する。

【0117】すなわち、この実施の形態2では、前述の実施の形態1に比べて、アドレス検出のための設定条件が緩和されており、再生データの状態が良好ではない場合でも、アドレス検出率が低下することを防いでいる。

【0118】[実施の形態3]同期検出に加えてバイフェーズルールチェックOKであれば、CRC1、CRC2のエラーチェックは加味せず、アドレス周期信号のアドレスウィンドウが検出されればアドレスでの検出が正しく行なわれたものと判断する。

【0119】図16は、このような実施の形態3による設定条件が満たされた状態を示すタイミング図であり、CRC1、CRC2のエラーチェックを加味することなく(CRC OFF)、検出タイミングがアドレス周期信号(f)のアドレスウィンドウに適合していることが判断されれば、アドレス検出とみなされ、アドレス検出信号(g)が発生する。

【0120】したがって、この実施の形態3では、前述の実施の形態2に比べて、さらにアドレス検出のための設定条件が緩和されており、再生データの状態がさらに不良の場合でも、アドレス検出率が低下することを防いでいる。

【0121】図17は、このようなアドレス検出のための設定条件の組合せの表を示す図である。この表の第1行に示すように同期検出+バイフェーズルールチェックの前提条件をパスできなかった場合(NG)、CRC1、CRC2のエラーチェック、アドレス周期信号の検出は行なわれない。

【0122】第2行~第4行は、同期検出+バイフェーズルールチェックOKを前提として、CRC1、CRC2のエラーチェックを加味しない場合(OFF)、CRC1、CRC2の双方のエラーなしを加味する場合(A

ND)、CRC1、CRC2のいずれか一方のエラーなしを加味する場合(OR)であって、アドレス周期信号が検出されない(OFF)場合を示している。

【0123】アドレス周期信号のアドレスウィンドウが検出されなければアドレス検出の確度は下がるが、アドレス検出とみなすように設定することは可能である。前述のように周期信号のアドレスウィンドウは最初のアドレス検出時には出てこないことがあっても、とりあえず発生したアドレス検出信号を初期信号としてFCMを39個カウントすれば39セグメントごとに必ず発生する。

【0124】一方、第5行~第7行は、上述のCRC1、CRC2のエラーチェックがOFF、AND、ORの場合であって、アドレス周期信号のアドレスウィンドウが検出されている(ON)場合を示している。すなわち、第5行目は、図16の実施の形態3に相当する設定条件の組合せであり、第6行目は、図13の実施の形態1に相当する設定条件の組合せであり、第7行目は、図14および図15の実施の形態2に相当する設定条件の組合せである。

【0125】ところで、上述の各実施の形態では、同期検出とバイフェーズルールチェックOKをアドレス検出の最低条件としている。

【0126】しかしながら、光磁気ディスクによっては、データの状態が劣悪なものもあり、バイフェーズルールチェックをアドレス検出の前提条件とすると全くアドレスが読めなくなってしまうことが考えられる。そこで、この発明では、アドレス検出の自由度をさらに増大させ、バイフェーズルールチェックの結果がエラーであっても、先行するアドレス検出信号によってアドレス周期信号の周期が確定し、アドレス周期信号のアドレスウィンドウが検出されればアドレス検出とみなすように構成したものである。

【0127】[実施の形態4]図18は、バイフェーズルールチェックがエラーでもアドレス検出とみなされる場合の設定条件を示すタイミング図である。

【0128】図18を参照して、FCM(a)の検出後、同期検出信号(b)が得られているが、バイフェーズルールエラーフラグ(c)は、一旦リセットされた後、Hレベルとなってバイフェーズルールエラーの発生を示している。

【0129】この状態において、アドレス周期信号(f)については先に検出されたアドレス検出信号を基に39個のFCMを繰返しカウントすることによってアドレス周期が確定しているものとし、図18に示すようにアドレスウィンドウが検出されたため、アドレス検出信号(g)が破線で示すタイミングで補間される。すなわちアドレス周期信号(f)は、上述のように先行するアドレスセグメントから39FCM周期で繰返しており、この周期信号のアドレスウィンドウ内にアドレスデ

ータがあるものと考えられるからである。

【0130】〔実施の形態5〕図19は、バイフェーズルールエラーに加えて、同期検出すら行なわれていない状態を示している。このような場合であっても、先に検出されたアドレス検出信号を基にアドレス周期信号の周期が確定してアドレス周期信号(f)のアドレスウィンドウが検出され、アドレス検出タイミングがアドレスウィンドウに適合している場合に、アドレス検出信号(g)が破線で示すタイミングで補間される。

【0131】図20は、アドレス検出回路111(図4)のうち、上述の実施の形態1~5を実現する部分を抽出して示す概略ブロック図である。

【0132】図4の信号演算回路100から与えられる、アドレスデータを再生した信号RPPは、図5の同期検出回路として機能するSYNC検出回路200、バイフェーズルールチェック回路201、CRC1チェック回路202、およびCRC2チェック回路203に与えられる。

【0133】SYNC検出回路200は、同期検出信号(b)を発生してシーケンサ204に与える。シーケンサ204は、この同期検出信号をもとに、バイフェーズルールチェック回路201によるバイフェーズルールチェック実行のタイミングを規定する信号と、CRC1チェック回路202によるエラーチェックのタイミングを規定する信号と、CRC2チェック回路203によるエラーチェックのタイミングを規定する信号とを発生し、それぞれ対応する回路に与えている。

【0134】これにより、バイフェーズルールチェック回路201、CRC1チェック回路202、およびCRC2チェック回路203は、前述の各実施の形態において定められたタイミングで、それぞれバイフェーズルールのエラーチェック、CRC1のエラーチェック、CRC2のエラーチェックを実行する。これらのエラーチェックの結果はすべて判断回路205に与えられる。

【0135】一方、アドレス検出ウィンドウ作成回路206からは、アドレス周期信号(f)が発生し、判断回路205に与えられる。

【0136】判断回路205においては、上述の各実施の形態において説明した設定条件の任意の組合せが予めユーザによって図示しないレジスタ等に設定されているものとする。そして判断回路205は、設定された組合せに応じて、アドレス検出を判断し、アドレス検出信号(g)を出力する。

【0137】出力されたアドレス検出信号(g)は、アドレス検出ウィンドウ作成回路206にフィードバックされる。アドレス検出ウィンドウ作成回路206はカウンタで構成され、このフィードバックされたアドレス検出信号によってリセットされ、39個のFCMのカウントを開始し、次の周期のアドレス周期信号を発生して判断回路205に与える。

【0138】ところで、上述の各実施の形態のように組合せられた設定条件に基づいてなされたアドレス検出の結果に応じて、適切なアドレス値を選択して表示する必要がある。

【0139】図21は、図17の設定条件の組合せの表に加えて、それぞれの場合のアドレス値の選択方法を示す表である。

【0140】図21の表の第1行は、図17の表の第1行と同様にNGである。第2行~第6行は、同期検出+バイフェーズルールチェックOKの場合であって、39FCM周期のアドレス周期信号を使用しない(OFF)場合を示している。これらの場合において、第2行のようにCRCエラーチェックを使用しない場合(OFF)には、現検出値が誤っているかの判定ができないので、とりあえず生のアドレス検出値をアドレス値として選択し、表示する。

【0141】一方、第3行~第6行のようにCRCエラーチェックを使用する場合(AND、OR)、エラーチェックの結果に応じて、アドレス値として生の検出値を選択するか、または前のアドレス値をそのまま保持する(前値保持)。すなわち、CRCエラーチェックの結果、現検出値が誤っていると判断された場合には、誤ったアドレスをそのまま表示するか、アドレスの前値を保持するかのいずれかの選択を、ユーザの事前の設定に従ってすることができる。

【0142】なお、第2行~第6行のようにアドレス周期信号を使用しない(OFF)の場合、アドレス値の推定が困難なため、補間値の作成(前値+1)は行なわない。

【0143】第7行~第15行は、同期検出+バイフェーズルールチェックOKの場合であって、39FCM周期のアドレス周期信号を使用する(ON)場合を示している。これらの場合においてアドレス周期信号を使用しているのでアドレス値の推定が可能のため、CRCエラーチェックが使用されない(OFF)の場合、およびCRCエラーチェックが使用される場合(AND、OR)の各々において、ユーザの事前の設定に従い、アドレス値を、生の検出値、補間値、前値保持のいずれかから選択することができる。

【0144】図22は、図21の表に従ったアドレス値の選択を実行するアドレス検出回路111(図4)の部分を示す概略ブロック図である。

【0145】図22に示した回路は、図20に示した回路に、フレームおよびバンドのアドレス読出回路207、トラック1のアドレス読出回路208、トラック2のアドレス読出回路209、およびアドレス値選択回路210を追加したものである。

【0146】アドレス読出回路207、208、209は、それぞれ、図4の信号演算回路100から与えられる信号RPPを受取る。また、シーケンサ204は、同

10

20

30

40

50

期検出信号をもとにアドレス読出回路207、208、209の動作タイミングを規定する信号を発生する。その他の図20に示した回路と共通する部分については説明を繰返さない。

【0147】図3のアドレスセグメントのアドレスフィールドのフォーマットから明らかなように、フレームおよびバンドのアドレス読出回路207からはフレームおよびバンドのアドレスが読出されてアドレス値選択回路210に与えられる。

【0148】一方、トラックアドレス1についてはCRC1のエラーチェックがなされ、その結果に応じてトラック1のアドレス読出回路208からトラックアドレス1が読出されてアドレス値選択回路210に与えられる。また、トラックアドレス2についてはCRC2のエラーチェックがなされ、その結果に応じてトラック2のアドレス読出回路208からはトラックアドレス2が読出されてアドレス値選択回路210に与えられる。

【0149】アドレス値選択回路210にはアドレス検出ウィンドウ形成回路206からアドレス周期信号も与えられる。アドレス値選択回路210は、図21の表に示した予めユーザによって設定された選択方法に基づいて、CRCのエラーチェック結果およびアドレス周期信号のアドレスウィンドウの有無に応じて、アドレス読出回路207、208、209から読出したアドレス信号を用いて、生の検出値として、前値保持として、または前値に+1する補間値として、のいずれかとして選択し表示する。

【0150】以上のように、この発明の実施の形態によれば、アドレス検出のための設定条件の組合せに大きな自由度を持たせることにより、データの状況に応じた検出率でアドレス検出を行なうことが可能となる。また組合せごとにエラーチェックの結果に応じてアドレス値を選択表示することが可能となる。

【0151】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【図1】 光磁気ディスク上の信号記録形態と信号フォーマットとの関係を模式的に示す図である。

【図2】 記録データの1フレームのフォーマットを詳細に示す模式図である。

【図3】 フレームを構成するアドレスセグメントのフォーマットを詳細に示す模式図である。

【図4】 この発明の実施の形態による光磁気記録再生装置の概略ブロック図である。

【図5】 アドレス検出回路のうち同期検出回路として機能する部分を示す概略ブロック図である。

【図6】 同期検出回路の動作を説明するタイミング図である。

【図7】 同期検出回路を構成するアドレスSYNC検出回路の基本構成を示すブロック図である。

【図8】 位相がロックした場合のアドレスデータの取込みのタイミングを示すタイミング図である。

【図9】 位相がロックしていない場合のアドレスデータの取込みのタイミングを示すタイミング図である。

【図10】 位相がロックしていない場合のアドレスデータの取込みのタイミングを示すタイミング図である。

【図11】 この発明の実施の形態によるアドレスSYNC検出回路の構成を示すブロック図である。

【図12】 図11の比較器の構成を示すブロック図である。

【図13】 この発明の実施の形態1の設定条件がすべて満たされた場合を示すタイミング図である。

【図14】 この発明の実施の形態2の設定条件がすべて満たされた場合を示すタイミング図である。

【図15】 この発明の実施の形態2の設定条件がすべて満たされた場合を示すタイミング図である。

【図16】 この発明の実施の形態3の設定条件がすべて満たされた場合を示すタイミング図である。

【図17】 アドレス検出のための設定条件の組合せの表を示す図である。

【図18】 この発明の実施の形態4によるアドレス検出信号の補間処理を示すタイミング図である。

【図19】 この発明の実施の形態5によるアドレス検出信号の補間処理を示すタイミング図である。

【図20】 この発明の実施の形態1ないし5を実現するアドレス検出回路のブロック図である。

【図21】 アドレス値の選択方法の表を示す図である。

【図22】 図21の表に従ったアドレス値の選択を実行するアドレス検出回路のブロック図である。

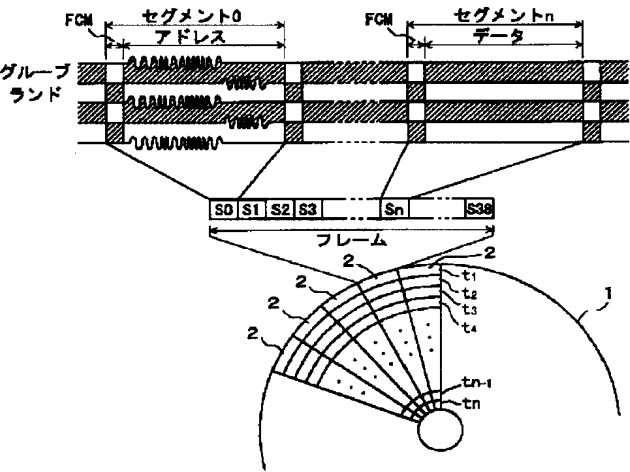
【符号の説明】

1 光磁気ディスク、2 フレーム、100 信号演算回路、101 光磁気ディスク、102 ビックアップ、103 BPF、104 AD変換器、105 波形等化回路、106 ビタビ復号器、107 ヘッダ検出回路、108 データ復調器、109 誤り訂正回路、110 PLL回路、111 アドレス検出回路、112 コントローラ、113 誤り訂正符号付加回路、114 データ変調器、115 DA変換器、121 可変遅延回路、122 検出窓発生回路、123 アドレスSYNC検出回路、124 AD変換器、125 シフトレジスタ、126 レジスタ、127 比較器、128 ANDゲート、129 比較器、130 レジスタ、131 レジスタ、129a、129b、…、129h ORゲート、129i、129j、…、129o ORゲート、129p AND回路、200 SYN

C検出回路、201 バイフェーズルールチェック回路、202 CRC1チェック回路、203 CRC2チェック回路、204 シーケンサ、205 判断回

\*路、206 アドレス検出ウィンドウ作成回路、207、208、209 アドレス読出回路、210 アドレス値選択回路。

【図1】

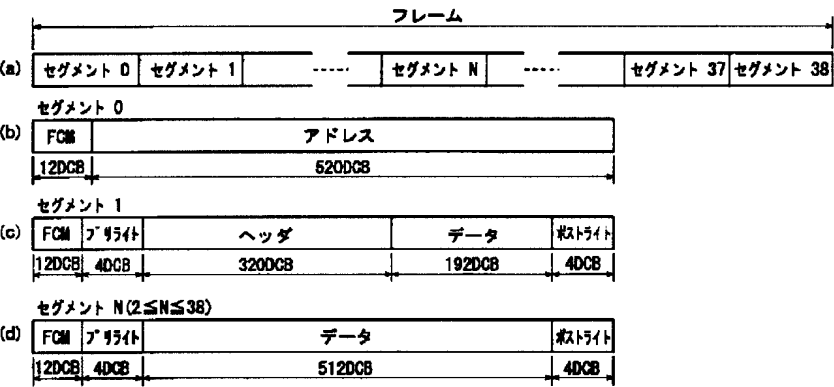


【図17】

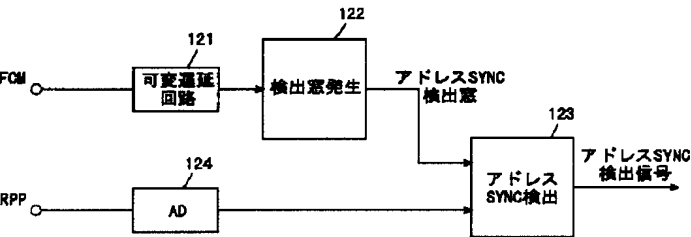
アドレス検出用設定組合せ

SYNC検出 + バイフェーズルールチェック	CRC1 CRC2 and/or/off	39FCM同期 on/off
NG	—	—
OK	off	off
OK	and	off
OK	or	off
OK	off	on
OK	and	on
OK	or	on

【図2】

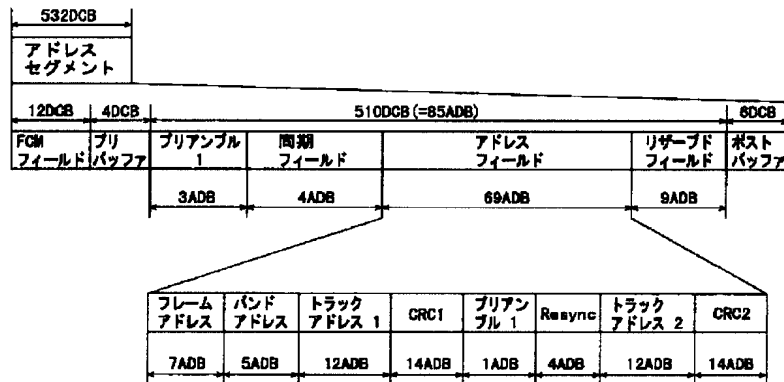


【図5】

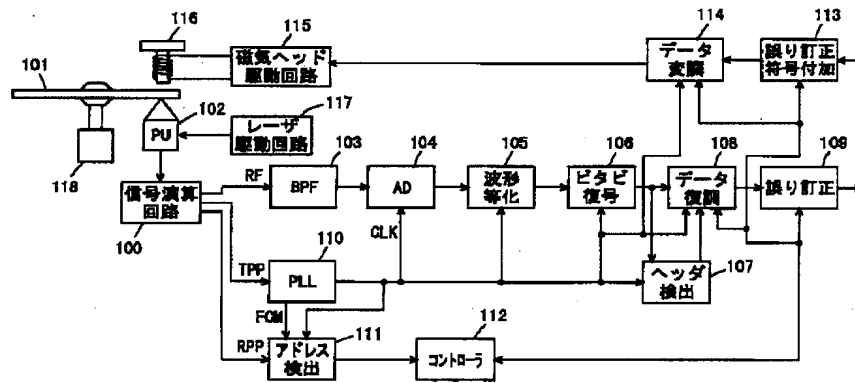




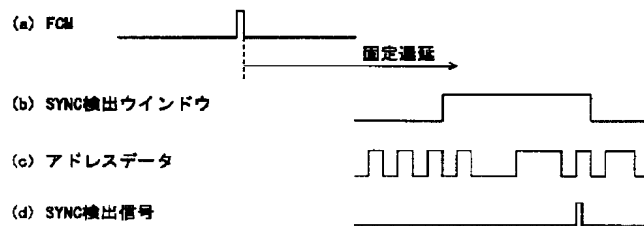
【図3】



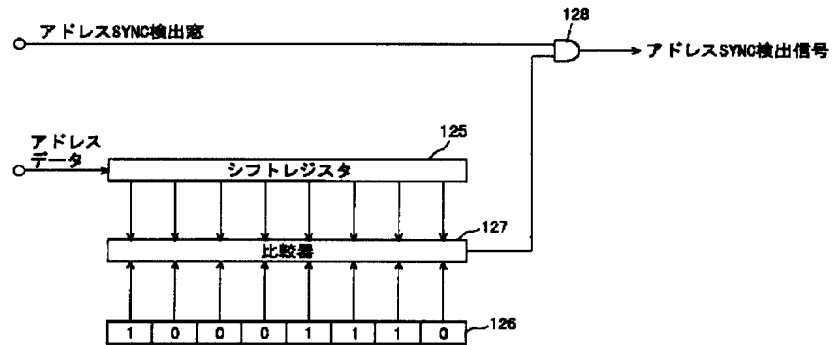
【図4】



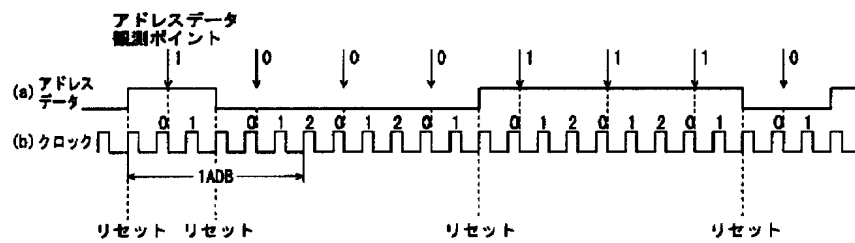
【図6】



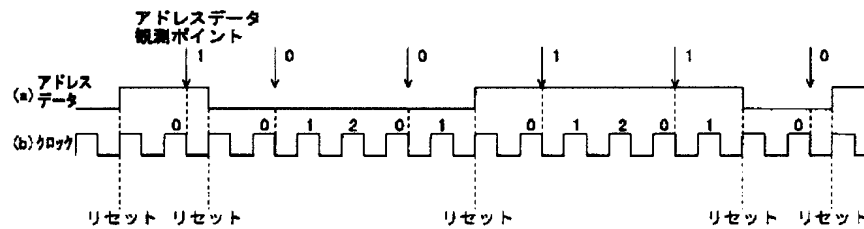
【図7】



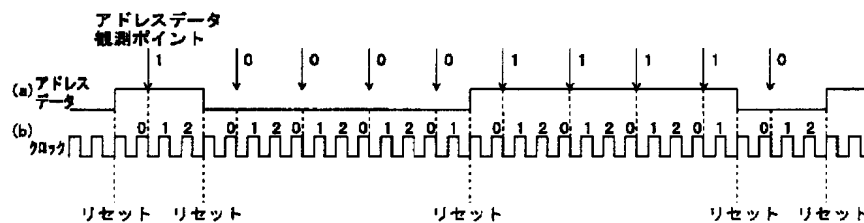
【図 8】



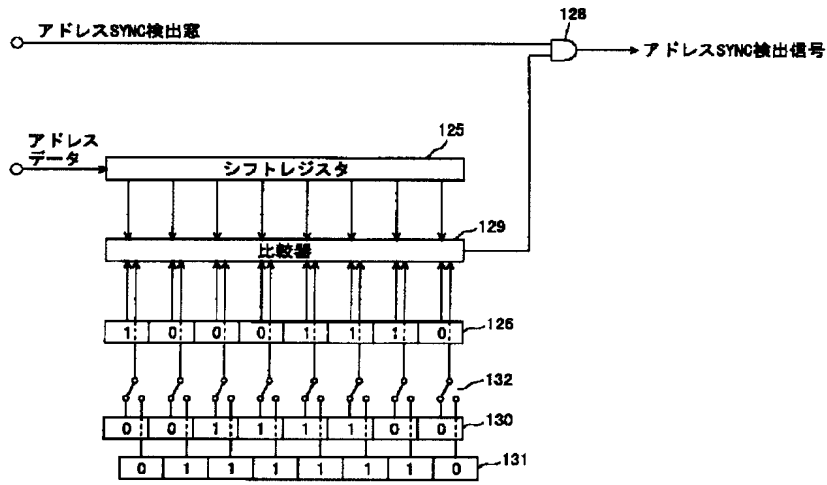
【図9】



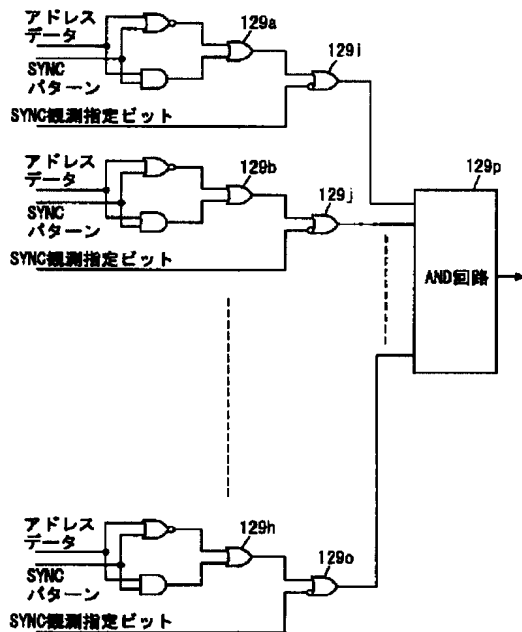
【圖 10】



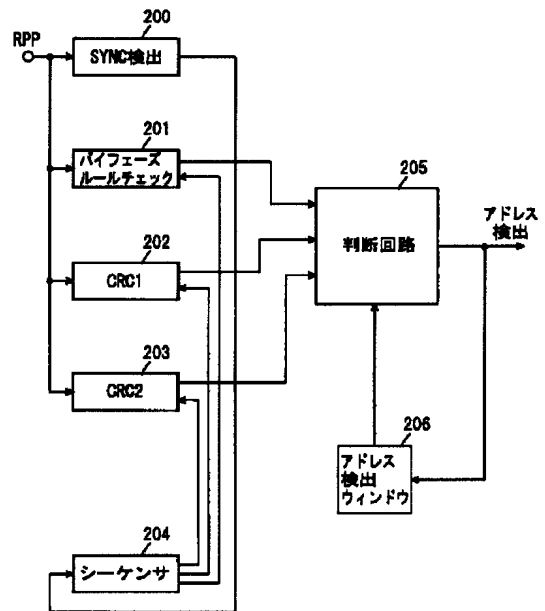
【図11】



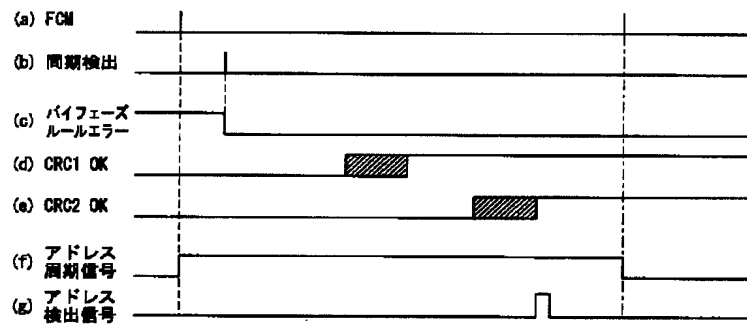
【図12】



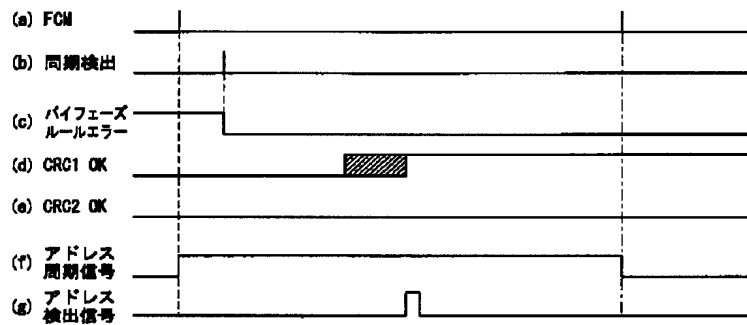
【図20】



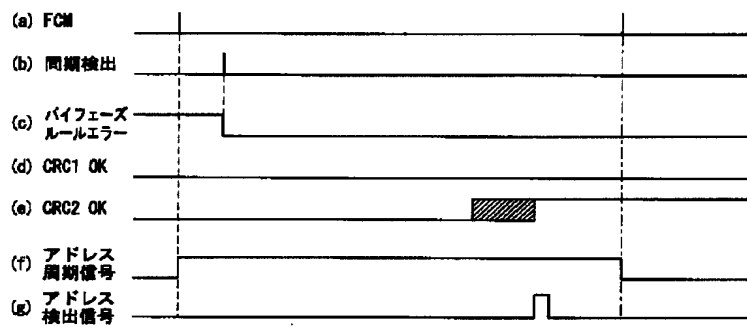
【図13】



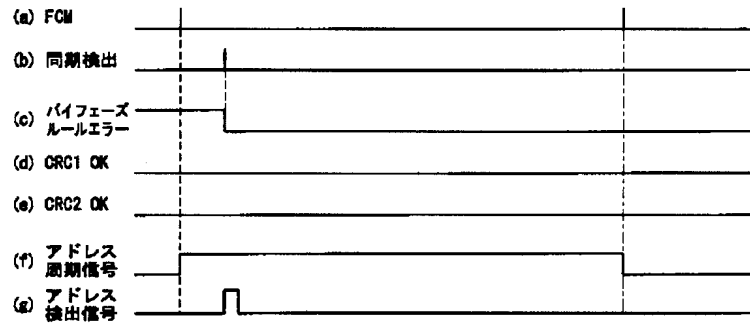
【図14】



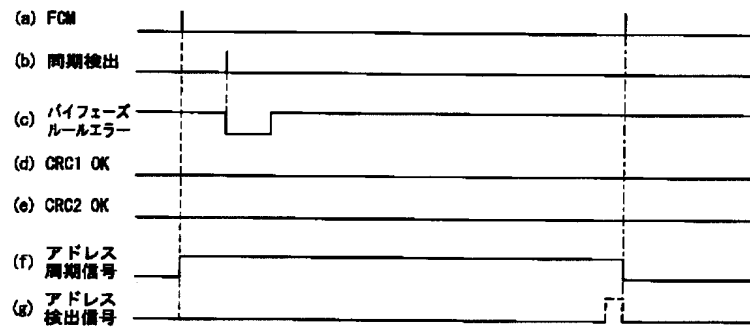
【図15】



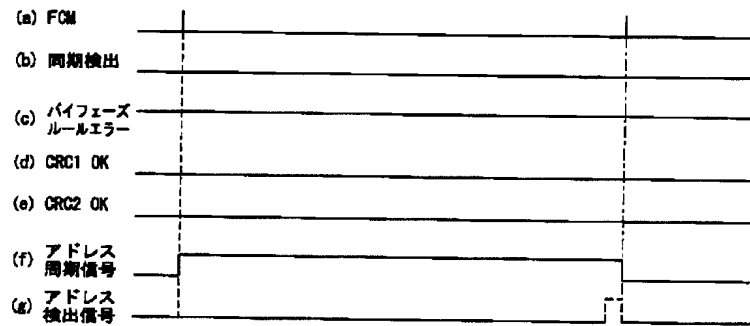
【図16】



【図18】



【図19】

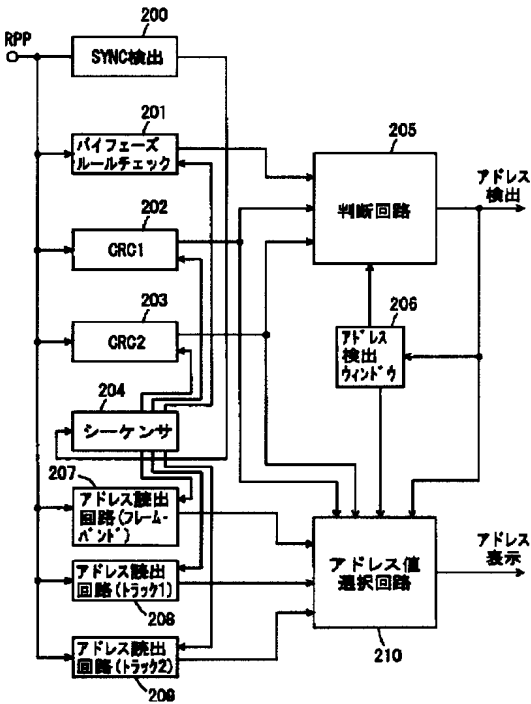


【図21】

アドレス表示設定値の組合せ

SYNC検出 + パイフェーズルールチェック	CRC1 CRC2 and/or/off	39FCM同期 on/off	アドレス値選択 生検出値/補間値/ 前値保持
NG	—	—	—
OK	off	off	生検出値
OK	and	off	生検出値
OK	and	off	前値保持
OK	or	off	生検出値
OK	or	off	前値保持
OK	off	on	生検出値
OK	off	on	補間値
OK	off	on	前値保持
OK	and	on	生検出値
OK	and	on	補間値
OK	and	on	前値保持
OK	or	on	生検出値
OK	or	on	補間値
OK	or	on	前値保持

【図22】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G 1 1 B 20/18	5 7 2	G 1 1 B 20/18	5 7 2 D
			5 7 2 F
	5 7 4		5 7 4 H

F ターム (参考) 5D044 AB01 BC06 CC06 DE32 DE34  
DE38 DE68 GM27  
5D090 AA01 CC04 DD03 EE15 FF07  
FF43